

DIALOG(R)File 347:JAPIO
(c) 2005 JPO & JAPIO. All rts. reserv.

03092317 **Image available**

CMOS ANALOG SWITCH

PUB. NO.: 02-067817 [JP 2067817 A]

PUBLISHED: March 07, 1990 (19900307)

INVENTOR(s): KADAKA TAKAYUKI

APPLICANT(s): YAMAHA CORP [000407] (A Japanese Company or Corporation), JP
(Japan)

APPL. NO.: 63-220033 [JP 88220033]

FILED: September 02, 1988 (19880902)

INTL CLASS: [5] H03K-017/16; H03K-017/687; H03K-019/00; H03K-019/0948

JAPIO CLASS: 42.4 (ELECTRONICS -- Basic Circuits)

JAPIO KEYWORD: R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors,
MOS)

JOURNAL: Section: E, Section No. 932, Vol. 14, No. 244, Pg. 94, May
24, 1990 (19900524)

ABSTRACT

PURPOSE: To obtain the RON characteristic of high flatness and to prevent the occurrence of spike at the time of conduction switching by controlling the back gate potential of a MOSFET in accordance with the level of an analog signal at the time of conduction of an analog switch part and generating a compensating current at the time of conduction switching of the analog switch part.

CONSTITUTION: When MOSFETs P1 and N1 are in the conductive state, the back gate potential corresponding to an analog signal level VA to be transmitted is supplied to the MOSFET N1 by a back gate potential control circuit 15, and as the result, the back gate effect of the MOSFET N1 is reduced. Meanwhile, since the compensating current having the polarity opposite to that of the charging/discharging current flowing to a junction capacity CSD is generated in a compensation capacity CSDA by a compensating current generating circuit 15A at the time of conduction switching of the analog

switch part, effects given to an analog signal line L by these currents are cancelled by each other. Thus, the resistance (RON) characteristic for conduction of high flatness is obtained, and spike does not occur at the time of conduction switching.

⑩ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

平2-67817

⑬ Int. Cl.

H 03 K 17/16
17/687
19/00
19/0948

識別記号

庁内整理番号

H 8124-5J

A 8326-5J

⑭ 公開 平成2年(1990)3月7日

8214-5J H 03 K 17/687
3326-5J 19/094

G

B

審査請求 未請求 請求項の数 1 (全6頁)

⑮ 発明の名称 CMOSアナログスイッチ

⑯ 特願 昭63-220033

⑰ 出願 昭63(1988)9月2日

⑱ 発明者 香高幸之 静岡県浜松市中沢町10番1号 ヤマハ株式会社内

⑲ 出願人 ヤマハ株式会社 静岡県浜松市中沢町10番1号

⑳ 代理人 弁理士 志賀正武 外2名

明細書

1. 発明の名称

CMOSアナログスイッチ

2. 特許請求の範囲

第1のアナログ信号端にPチャネルおよびNチャネルのMOSFETのドレインが共通接続され、第2のアナログ信号端に該PチャネルおよびNチャネルのMOSFETのソースが共通接続され、該MOSFETの導通時にアナログ信号を伝送するアナログスイッチ部と、

前記アナログスイッチ部におけるMOSFETのゲートに導通制御信号を供給する導通切換手段と、

前記アナログスイッチ部の導通時に、前記MOSFETのバックゲート電位を前記アナログ信号のレベルに応じて制御するバックゲート電位制御手段と、

前記アナログスイッチ部の第1あるいは第2のアナログ信号端に一端が接続された容量であって、

前記アナログスイッチ部が導通あるいは非導通に切り換えた場合に、前記MOSFETのソースあるいはドレインとバックゲートとの間の接合容量に流れる充放電電流とは逆極性の補償電流を発生する補償容量と、

前記アナログスイッチ部が導通あるいは非導通に切り換えた場合に、前記補償容量の他端の電位を切り換え、前記補償電流を発生せしめる補償電流発生手段と

を具備することを特徴とするCMOSアナログスイッチ。

3. 発明の詳細な説明

「産業上の利用分野」

この発明はCMOS(相補型金属酸化膜半導体素子)を用いたアナログスイッチに関する。

「従来の技術」

第2図は、基本的なCMOSアナログスイッチの回路図である。11および12は各々双方向性のアナログ信号端である。P1はPチャネルのMOSFET、N1はNチャネルのMOSFETで

あり、両MOSFETのドレインはアナログ信号端子11に、ソースはアナログ信号端子12に共通接続されている。また、MOSFETP1のバックゲートは高電源VDDに、MOSFETN1のバックゲートは低電源VSSに接続されている。13は導通切換端子であり、導通制御信号が入力される。この導通制御信号は、MOSFETN1のゲートに供給されると共に、インバータ14を介してMOSFETP1のゲートに供給されるようになっている。このCMOSアナログスイッチは、導通切換端子13に入力された導通制御信号のレベルが高電位の場合に導通状態となり、導通制御信号のレベルが低電位の場合に非導通状態となる。

ところで、このCMOSアナログスイッチは、導通時の抵抗(以下、この抵抗をR_{ON}と呼ぶ)が、伝送するアナログ信号のレベルV_Aによって大きく変化する。これは、第2図において、MOSFETP1およびN1の実効的な閾値電圧が、いわゆるバックゲート効果によって、アナログ信号レベルV_Aに応じて変化することによるものである。

(V_TはMOSFETN1の閾値電圧)となるアナログ信号レベルV_AにおいてR_{ON}は理論上無限大となる。この結果、アナログスイッチのR_{ON}は、曲線C₁に示すように、極めて平坦性の悪い特性となる。

そこで、現在の所、第4図に示すバックゲート電位制御回路15を備えたCMOSアナログスイッチが最も普及している。この図において、P2はPチャネルのMOSFET、N2およびN3はNチャネルのMOSFETであり、これらのMOSFETによってバックゲート電位制御回路15が構成されている。ここで、MOSFETP2は、ソースはアナログ信号端子12に、ドレインはノード15Nに、ゲートはインバータ14の出力端子に、バックゲートは高電源VDDに各々接続されている。また、MOSFETN2は、ソースおよびバックゲートは低電源VSSに、ドレインはノード15Nに、ゲートはインバータ14の出力端子に各々接続されている。また、MOSFETN3は、ソースおよびバックゲートはノード15Nに、ドレイン

第3図はこのアナログスイッチのR_{ON}特性を示したものである。この図において、A₁はMOSFETP1のR_{ON}特性、B₁はMOSFETN1のR_{ON}特性を示す曲線であり、C₁はこれらのMOSFETの並列接続によるアナログスイッチのR_{ON}特性を示す曲線である。ここで、MOSFETP1のソースおよびドレインとバックゲート電位(VDD)との電位差、すなわちバックゲートバイアスは、アナログ信号レベルV_Aが低レベルになるに従い増大する。このため、曲線A₁に示すようにMOSFETP1のR_{ON}は、アナログ信号レベルV_Aの低下と共に増大し、V_A = |V_{TP}| (V_{TP}はMOSFETP1の閾値電圧)となるアナログ信号レベルV_AにおいてR_{ON}は理論上無限大となる。また、MOSFETN1のソースおよびドレインとバックゲート電位(VSS)との電位差、すなわちバックゲートバイアスは、アナログ信号レベルV_Aが高レベルになるに従い増大する。このため、曲線B₁に示すように、MOSFETN1のR_{ON}はアナログ信号レベルV_Aの上昇と共に増大し、V_A = V_T

はアナログ信号端子12に、ゲートは導通切換端子13に各々接続されている。そして、このバックゲート電位制御回路15のノード15NはMOSFETN1のバックゲートに接続されている。なお、この図における他の部分の構成は、前述の第2図と同一であるので、対応する部分に同一の符号を付し、説明を省略する。

このCMOSアナログスイッチは、前述した第2図の場合と同様に、導通切換端子13における導通制御信号が高レベルの時に導通状態、低レベルの時に非導通状態となる。ここで、導通制御信号が低レベルの時、MOSFETN1のバックゲート電位は、導通状態のMOSFETN2を介して低電位(VSS)に固定される。一方、導通制御信号が高レベルの時、MOSFETN1には、導通状態のMOSFETP2およびN3を介してアナログ信号レベルV_Aがバックゲート電位として供給される。この結果、MOSFETN1においては、バックゲート効果がなくなり、第3図の曲線B₁に示すようにアナログ信号レベルV_Aに対する傾

斜の緩やかなR_{ON}特性が得られる。そして、このCMOSアロゲスイッチにおいては、第3図の曲線C₂に示すように平坦性のよいR_{ON}特性が得られる。

「発明が解決しようとする課題」

ところで、上述した第4図のCMOSアロゲスイッチには以下に説明する問題があった。第4図において、C_{SD}はMOSFET N1およびN3のソース・ドレインとバックゲートとの間の接合容量を示す。まず、導通制御信号が低レベルになると、MOSFET N2が導通状態になるため、容量C_{SD}にはアロゲ信号線Lを介して充電電流が供給され、アロゲ信号レベルV1に応じた電荷が充電される。そして、導通制御信号が高レベルになると、容量C_{SD}の充電電荷はMOSFET P2およびN3を介して放電する。このように、従来のCMOSアロゲスイッチにおいては、導通切り換え時に、容量C_{SD}における充電電流および放電電流が発生する。そして、この充放電電流によって、アロゲ信号線L上にスパイクが発生

前記アロゲスイッチ部の第1あるいは第2のアロゲ信号端に一端が接続された容量であって、前記アロゲスイッチ部が導通あるいは非導通に切り換えられた場合に、前記MOSFETのソースあるいはドレインとバックゲートとの間の接合容量に流れる充放電電流とは逆極性の補償電流を発生する補償容量と、

前記アロゲスイッチ部が導通あるいは非導通に切り換えられた場合に、前記補償容量の他端の電位を切り換える、前記補償電流を発生せしめる補償電流発生手段と

とを具備することを特徴としている。

「作用」

上記構成によれば、導通切り換手段から出力される導通制御信号によって、アロゲスイッチ部が導通あるいは非導通に切り換えられる。そして、アロゲスイッチ部が導通状態の場合、このアロゲスイッチ部を構成するMOSFETには、バックゲート電位制御手段によって、伝送するアロゲ信号レベルに応じたバックゲート電位が供給さ

するという問題があった。

この発明は上述した事情に鑑みてなされたもので、平坦性のよいR_{ON}特性であり、かつ、導通切り換え時にスパイクを発生することのないCMOSアロゲスイッチを提供することを目的としている。

「課題を解決するための手段」

この発明は、第1のアロゲ信号端にPチャネルおよびNチャネルのMOSFETのドレインが共通接続され、第2のアロゲ信号端に該PチャネルおよびNチャネルのMOSFETのソースが共通接続され、該MOSFETの導通時にアロゲ信号を伝送するアロゲスイッチ部と、

前記アロゲスイッチ部におけるMOSFETのゲートに導通制御信号を供給する導通切換手段と、

前記アロゲスイッチ部の導通時に、前記MOSFETのバックゲート電位を前記アロゲ信号のレベルに応じて制御するバックゲート電位制御手段と、

れる。この結果、アロゲスイッチ部において、MOSFETのバックゲート効果が緩和され、平坦性のよいR_{ON}特性が得られる。一方、アロゲスイッチ部の導通切り換え時、アロゲスイッチ部のMOSFETのソース・ドレインとバックゲートとの間の接合容量に充放電電流が流れる。しかし、この充放電電流とは逆極性の補償電流が補償電流発生手段によって補償容量に発生される。そして、これらの充放電電流および補償電流は逆極性であるため、各々が第1あるいは第2のアロゲ信号端に与える効果は相殺し合う。従って、アロゲスイッチ部の導通切り換え時、第1あるいは第2のアロゲ信号端には、スパイクが発生しない。

「実施例」

以下、図面を参照して本発明の一実施例について説明する。

第1図は、この発明の一実施例によるCMOSアロゲスイッチの回路図である。なお、この図において、前述した第4図と対応する部分には同

一の符号を付し、その説明を省略する。15Aは補償電流発生回路であり、バックゲート電位制御回路15と全く同じ内部構成となっている。すなわち、補償電流発生回路15AにおけるMOSFET P2A、N2AおよびN3Aは、バックゲート電位制御回路15におけるMOSFET P2、N2およびN3に各々対応している。ただし、MOSFET P2およびN2のゲートがインバータ14の出力端に、MOSFET N3のゲートが導通切換端13に接続されているのに対し、MOSFET P2AおよびN2Aのゲートが導通切換端13に、MOSFET N3Aのゲートがインバータ14の出力端に接続されている点が異なる。N1AはNチャネルのMOSFETであり、ソースおよびドレインがアナログ信号線に共通接続され、ゲートはインバータ14の出力端に接続されると共に、MOSFET P2A、N2AおよびN3Aのドレインの共通接続点15NAからバックゲート電位が供給されるようになっている。CSDAは、MOSFET N1AおよびN3Aのソース

信号レベルVAに応じた電荷が充電される。一方、導通制御信号が低レベルになると、MOSFET N2Aが非導通になると共にMOSFET P2AおよびN3Aが導通状態に切り換えられ、この結果、補償容量CSDAに充電された電荷がMOSFET P2AおよびN2Aを介して放電する。ここで、バックゲート電位制御回路15と補償電流発生回路15Aは同一回路構成であるため、両回路はほぼ同じ伝達遅延時間となる。従って、導通制御信号が切り換えられてから、ほぼ同じ遅延時間経過後に容量CSDの充電および補償容量CSDAの放電が開始される。そして、この時、接合容量CSDの充電電流と補償容量CSDAの放電電流とはアナログ信号線から見て互いに逆極性であるので、各々がアナログ信号線に与える効果は互いに相殺され、アナログ信号線にはスパイクが発生しない。

次に、導通制御信号が高レベルになると、容量CSDの充電電荷はMOSFET P2およびN3を介して放電する。これと同時にMOSFET N2

・ドレインとバックゲートとの間の接合容量であり、このCMOSアナログスイッチでは補償容量として用いられている。

次に、このCMOSアナログスイッチの動作を説明する。このCMOSアナログスイッチは、前述した第4図のCMOSアナログスイッチと同様に導通切換端13によって導通あるいは非導通に切り換えられる。そして、MOSFET P1およびN1が導通状態の場合、MOSFET N1には、バックゲート電位制御回路15によって、伝送するアナログ信号レベルVAに応じたバックゲート電位が供給される。この結果、このCMOSアナログスイッチにおいては、MOSFET N1のバックゲート効果が軽減され、第3図の曲線C₁に示すように平坦性のよいROM特性が得られる。

次に、導通切換端13における導通制御信号が切り換えられた場合の動作を説明する。まず、導通制御信号が低レベルになると、MOSFET N2が導通状態になるため、容量CSDにはアナログ信号線を介して充電電流が供給され、アナログ

Aが導通状態になると共にMOSFET P2AおよびN3Aが非導通に切り換えられる。この結果、補償容量CSDAにアナログ信号線を介して充電電流が供給される。この時、接合容量CSDの放電電流と補償容量CSDAの充電電流とはアナログ信号線から見て互いに逆極性であるので、各々がアナログ信号線に与える効果は互いに相殺され、アナログ信号線にはスパイクが発生しない。

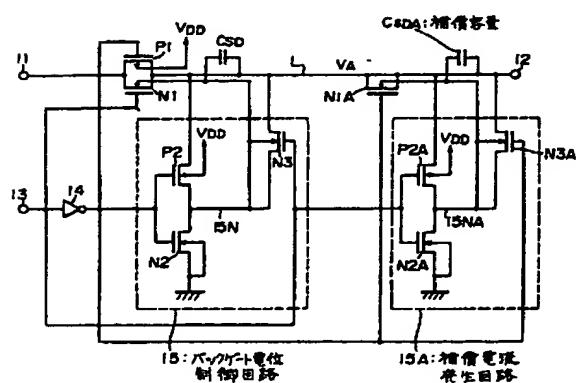
「発明の効果」

以上説明したように、この発明によれば、第1のアナログ信号端にPチャネルおよびNチャネルのMOSFETのドレインが共通接続され、第2のアナログ信号端に該PチャネルおよびNチャネルのMOSFETのソースが共通接続され、該MOSFETの導通時にアナログ信号を伝送するアナログスイッチ部と、前記アナログスイッチ部におけるMOSFETのゲートに導通制御信号を供給する導通切換手段と、前記アナログスイッチ部の導通時に、前記MOSFETのバックゲート電位を前記アナログ信号のレベルに応じて制御する

バックゲート電位制御手段と、前記アナログスイッチ部の第1あるいは第2のアナログ信号端に一端が接続された容量であって、前記アナログスイッチ部が導通あるいは非導通に切り換えられた場合に、前記MOSFETのソースあるいはドレインとバックゲートとの間の接合容量に流れる充放電電流とは逆極性の補償電流を発生する補償容量と、前記アナログスイッチ部が導通あるいは非導通に切り換えられた場合に、前記補償容量の他端の電位を切り換え、前記補償電流を発生せしめる補償電流発生手段とを設けたので、平坦性のよいRON特性が得られ、かつ、導通切換時にスパイクが発生することのないCMOSアナログスイッチを実現することができる。

4. 図面の簡単な説明

第1図はこの発明の一実施例によるCMOSアナログスイッチの回路図、第2図は基本的なCMOSアナログスイッチの回路図、第3図はこの発明の一実施例によるCMOSアナログスイッチおよび従来のCMOSアナログスイッチのRON特性

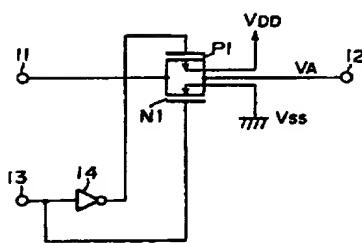


第1図 実施例

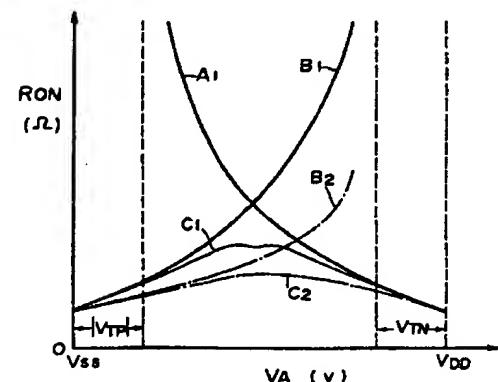
図、第4図は従来のCMOSアナログスイッチの回路図である。

P1 …… PチャネルMOSFET, N1 …… NチャネルMOSFET, I5 …… バックゲート電位制御回路, I5A …… 補償電流発生回路, CSDA …… 補償容量。

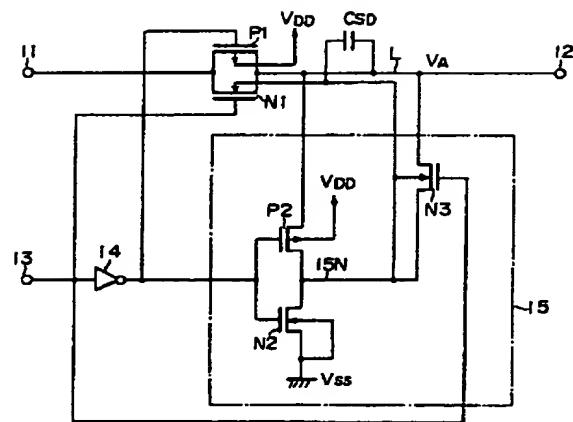
出願人 ヤマハ株式会社



第2図



第3図



第4圖 從來例